

Partial Translation of Japanese Patent Application  
Laid-open No. Sho 61-180493

Figs. 2(a) to 2(c) show a process for eliminating unevenness of a surface of a semiconductor laser element fabricated by the MOCVD.

In accordance with the MOCVD, when a layer is grown on an uneven surface, the surface of the grown layer also becomes uneven. Thus, it is important to eliminate its unevenness. A method for eliminating the unevenness is the same as the one in the previous embodiment. More specifically, as shown in Fig. 2(b), a resist 16 is applied to a surface of a semiconductor laser element fabricated by the MOCVD shown in Fig. 2(a) in order to flatten the surface. Then, etching is carried out in the same conditions as in the previous embodiment. The resist 16 and thereafter, a P-cladding layer are removed by etching, and then, the element surface is flattened. In this manner, the element having a flat surface as shown in Fig. 2(c) is obtained. As a result, this element has excellent thermal diffusion characteristics, and accordingly, the element is less prone to distortion and degradation caused by pressing force. In this regard, in Fig. 2, reference numeral 11 denotes an n-InP substrate, reference numeral

12 denotes an InGaAsP active layer, reference numeral 13 denotes a P-InP cladding layer, reference numeral 14 denotes an n-InP BLOCK layer, and reference numeral 15 denotes a P-InP cladding layer.

## ⑰ 公開特許公報 (A)

昭61-180493

⑯ Int.Cl.<sup>4</sup>  
H 01 S 3/18識別記号 庁内整理番号  
7377-5F

⑭ 公開 昭和61年(1986)8月13日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体レーザ素子の製造方法

⑯ 特願 昭60-20337

⑰ 出願 昭60(1985)2月5日

⑱ 発明者 中尾一郎 門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出願人 松下電器産業株式会社 門真市大字門真1006番地

⑳ 代理人 弁理士 中尾敏男 外1名

## 明細書

## 1、発明の名称

半導体レーザ素子の製造方法

## 2、特許請求の範囲

- (1) 半導体レーザ素子表面をエッティングにより平坦化する工程を含むことを特徴とする半導体レーザ素子の製造方法。
- (2) 平坦化する工程には、半導体レーザ素子表面の一段差や起伏を埋込み、レーザ素子表面が平坦化し得る平坦化層を半導体レーザ素子表面に形成する工程と、前記平坦化層と半導体レーザ素子表面層と同一エッティング速度でエッティングすることができる条件でエッティングし半導体レーザ素子表面層を平坦化する工程を含むことを特徴とする特許請求の範囲第1項記載の半導体レーザ素子の製造方法。

## 3、発明の詳細な説明

## 産業上の利用分野

本発明は半導体レーザ素子の製造方法に関するものである。

## 従来の技術

半導体レーザ素子には、その特性向上のため、メサ埋込み構造や段差埋込み構造が採用されることが多い。第3図はLPE法によって作製したメサ埋込み構造の半導体レーザ素子の断面構造を示し、第4図はMOCVD法により作製した段差埋込み構造の半導体レーザ素子の断面を示す。第3図、第4図において、1はn-InP基板、2はn-InPバッファ層、3はInGaAsP活性層、4はP-InPクラッド層、6はP-InP層、7はn-InP層、11はn-InP基板、12はInGaAsP活性層、13はP-InPクラッド層、14はn-InPクラッド層、15はP-InPクラッド層である。このような構造の半導体レーザ素子では、閾値電流の低減や、発振モード特性の向上は図れるものの、第3図、第4図からも明らかなようにレーザ素子表面の起伏や段差が欠点となっている。

半導体レーザ素子は熱による特性の変動が大きく、熱放散をよくするために活性領域に近い電極にヒートシンクを取り付けることが望ましい。半導体

レーザ素子をヒートシンクにボンディングするにはほとんどの場合、接着金属として低融点金属を用い、熱圧着法により行なっている。しかし、半導体レーザ素子の表面に第3図、第4図のごとき起伏や段差がある場合、半導体レーザ素子の電極とヒートシンクの間に空洞ができたり、熱圧着時に受ける押圧力によって亜が入り易く、劣化の原因となっていた。この問題を改善するために、従来は接着金属の改良（例えば特開昭55-75282号公報）や組立工法の改良などが行なわれていた。

#### 発明が解決しようとする問題点

しかし、ボンディングや組立工法の改良だけでは本質的改良とならず製造歩留りの大きさ向上は望めない。なぜなら、ボンディングや組立工法の改良は、各チップ毎に行なわねばならず、半導体レーザ素子の電極とヒートシンクの間の空洞や、押圧力亜の原因である半導体レーザ素子表面の起伏や段差は取り除かれていないからである。

本発明はかかる問題点に鑑みてなされたもので、簡単にして、ボンディング時の押圧力亜の劣化を

第1図(a)～(d)は、本発明の一実施例における半導体レーザ素子の製造工程を示す断面図である。第1図(a)は通常のメサ埋込み構造の半導体レーザ素子の断面図である。この構造はn-InP基板1上にn-InPバッファ層2、InGaAsP活性層3、p-InPクラッド層4、p-InGaAsPコンタクト層5を液相エピタキシャル成長法(LPE法)により成長した後、エッチングによりInGaAsP活性層3を細いストライプ状にする。さらにCP-InP層6、n-InP層7をLPE法により結晶成長し、メサ部を埋込む。このようにしてメサ埋込み構造半導体レーザ素子を作製した場合、p-InGaAsPコンタクト層6とn-InP層7とで形成される半導体レーザ素子表面には、段差や起伏が生じ、平坦にならない。これらの段差や起伏の発生は、メサ構造に埋込み成長をした時のLPE成長の性質によるものである。

半導体レーザ素子の熱による特性変動は大きく、できるだけ熱放散をよくする必要がある。このため、通常活性領域に近い表面をヒートシンクにボ

防ぐ半導体レーザ素子の製造方法を提供しようとするものである。

#### 問題を解決するための手段

本発明は上記問題点を解決するために、各半導体レーザ素子を切り離す前にウェハの段階で、段差や起伏を持つ半導体レーザ素子表面に、段差や起伏を埋込み表面を平坦化し得る平坦化層を形成し、この平坦化層と半導体レーザ素子表面層を同一エッチング速度でエッチングするドライエッチング条件で、半導体レーザ素子表面層の突出部分までエッチング除去することにより、半導体レーザ素子表面を平坦化するものである。

#### 作用

本発明は上記の製造方法を用いることにより、半導体レーザ素子表面を平坦化することによって、半導体レーザ素子の電極とヒートシンクの間の空洞発生を防止し、もって熱放散をよくし、ボンディングの熱圧着時に受ける押圧力による亜を防ぐことにより、特性の向上、劣化防止を可能にする。

#### 実施例

ンディングしている。しかし、メサ埋込み構造半導体レーザ素子の場合どうしても表面に段差や起伏がでてしまう。これらの段差や起伏は、半導体レーザ素子とヒートシンクの間に空洞をつくる原因となり熱放散を悪くしレーザ発振特性を悪くするばかりでなく、ヒートシンクとの圧着時に半導体レーザ素子表面の段差や起伏、いわゆる突出部に押圧力が加わり半導体レーザ素子に亜が発生し、素子劣化の原因となる。そこで、この実施例では半導体レーザ素子表面の突出部をエッチングで除去し、平坦化しようとするものである。

第1図(b)において、段差や起伏のある半導体レーザ素子表面に、平坦化層8を形成する。この平坦化層8は、レジストを塗布することによって得られ、段差や起伏はレジスト8を塗布することによって埋められ、レジスト8の表面はほぼ平坦となる。

第1図(c)において、レジスト8とn-InP層7を同一エッチング速度でエッチングできるドライエッチング条件でエッチングを行なう。上記エッ

チングは、リアクティブイオンエッティング装置(ドライエッティング装置)において、パワー150W、 $0.02$ 、ガス流量5sccm、真空度 $3 \times 10^{-3}$  torrで、おいて得られる。このレジスト8とn-InP層7の等速エッティングによってレジスト8表面形状のままエッティングが進む。つまり、平坦な表面のままn-InP層7のエッティングが進む。このようにして、n-InP層7表面の突出部がほぼ除去されるまでエッティングを行なう。

第1図(d)において、残っているレジスト8を除去すると、ほぼ平坦な表面を持つメサ埋込み構造の半導体レーザ素子が得られる。

これにより、メサ埋込み構造の半導体レーザ素子からヒートシンクへの熱放散をよくし、レーザ素子とヒートシンクとの圧着におけるレーザ素子の歪劣化を軽減できる。

なお、上記実施例はInP/InGaAsP系の半導体レーザ素子を用いて説明したが、GaAs/AlGaAs系や、その他の材料の半導体レーザ素子でもよく、同様な効果を得ることができる。また、平坦化層

圧力歪劣化が改善される。なお第2図において、1-1はn-InP基板、1-2はInGaAsP活性層、1-3はP-InPクラッド層、1-4はn-InPグロック層、1-5はP-InPクラッド層を示す。

#### 発明の効果

以上述べてきたように、本発明によれば、段差や起伏を有する半導体レーザ素子表面をエッティングにより平坦化することにより、簡単にしてレーザ素子とヒートシンク間の熱放散をよくし、圧着時における歪劣化を軽減できる。

#### 4. 図面の簡単な説明

第1図(a)～(d)は本発明の一実施例における半導体レーザ素子の製造方法を説明するための断面図、第2図(a)～(c)は本発明の他の実施例における半導体レーザ素子の製造方法を説明するための断面図、第3図は従来のメサ埋込み構造の半導体レーザ素子の断面図、第4図は段差埋込み構造の半導体レーザ素子の断面図である。

1 …… n-InP基板、2 …… n-InPバッファ層、3 …… InGaAsP活性層、4 …… P-InPクラッド層、

にレジストを用いているが、表面が平坦化され、かつ、下部の半導体レーザ素子表面層と等速エッティングできるものであれば、他の材料でもかまわない。

次に本発明の他の実施例について第2図とともに説明する。

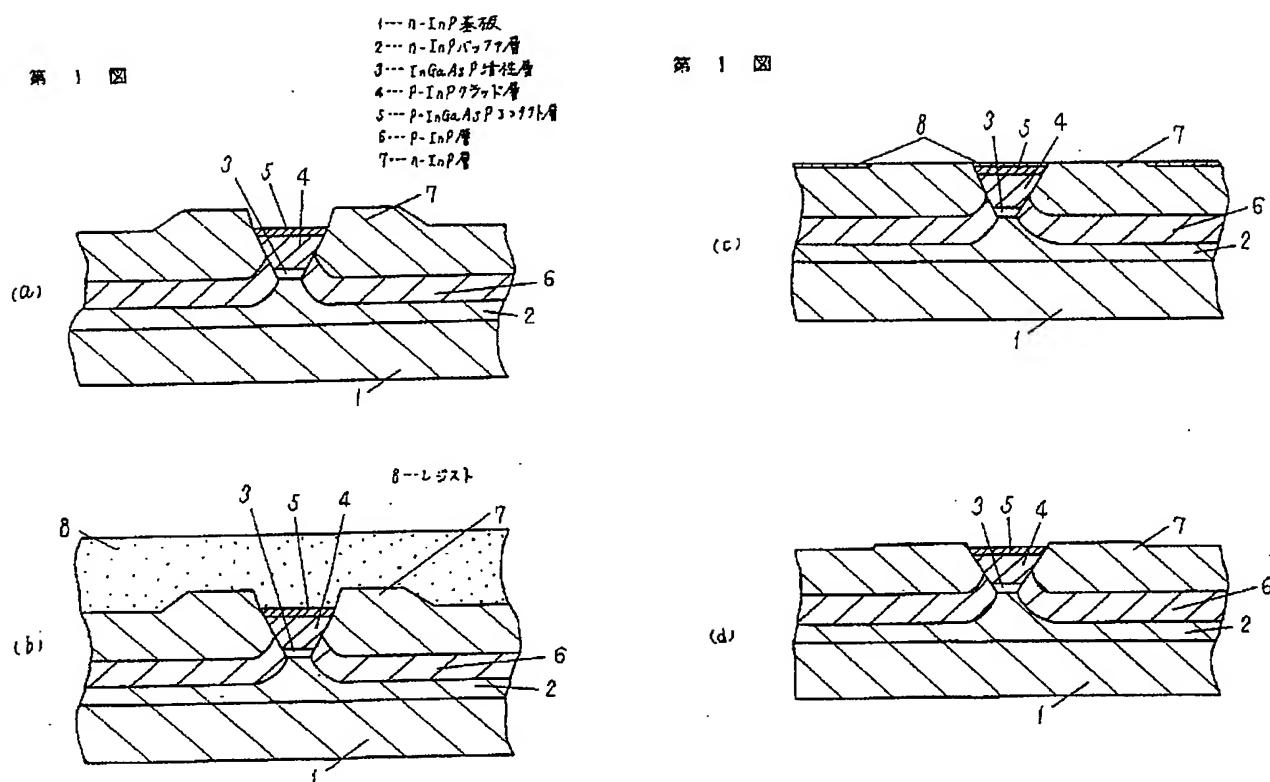
第2図(a)～(c)は、MOCVD法により作製した半導体レーザ素子の素子表面の段差を除去する工程を示すものである。

MOCVD法では段差上への成長を行なった場合、その段差はそのまま保存されてしまう。したがってその表面段差を除去することは重要である。その方法は先の実施例と同様の方法による。すなわち第2図(a)に示すMOCVD法で作製した半導体レーザ素子表面に第2図(b)のようにレジスト1日を塗布して、表面を平坦化し、これを先の実施例と同じ条件でエッティングして、レジスト1日続いてP-クラッド層をエッティング除去し、素子表面を平坦化すると、第2図(c)に示すように表面が平坦化された素子が得られ、熱放散特性をよくし、押

5 …… P-InGaAsPコンタクト層、6 …… P-InP層、7 …… n-InP層、8 …… レジスト。

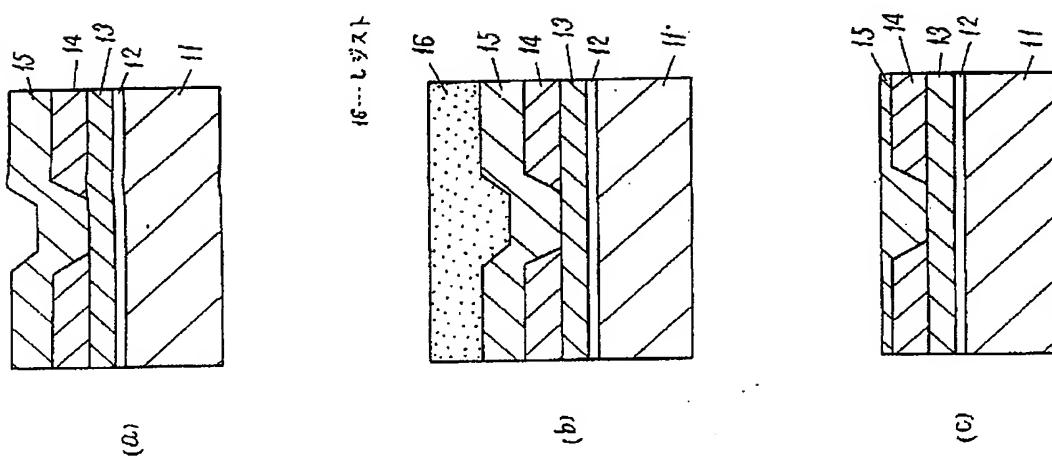
代理人の氏名 弁理士 中尾敏男ほか1名

第1図

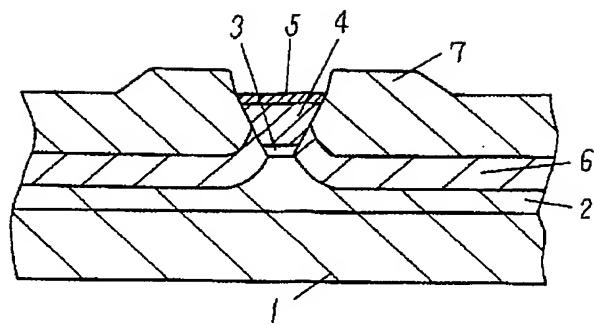


11...n-InP基板  
12...InGaAsP接種層  
13,15...p-InPnドーピング層  
14...p-InPnドーピング層

第2図



第 3 図



第 4 図

